

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-148418

(43)Date of publication of application : 29.05.2001

(51)Int.Cl.

H01L 21/76
H01L 21/3205
H01L 27/08
H01L 27/108
H01L 21/8242

(21)Application number : 11-329444 (71)Applicant : MITSUBISHI ELECTRIC CORP

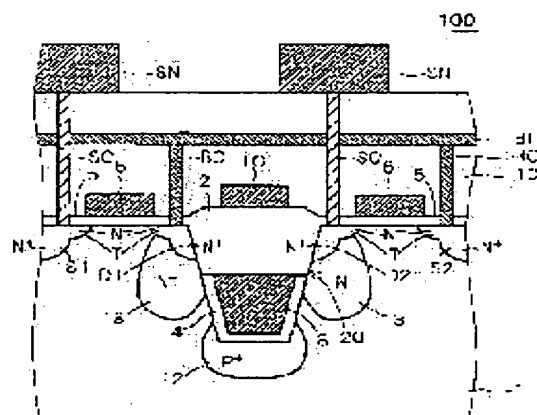
(22)Date of filing : 19.11.1999 (72)Inventor : FUJINAGA MASATO
KUNIKIYO TATSUYA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for controlling the potential of a conductor and reducing both leakage by punch-through and joining leakage in a trench isolation structure provided with the conductor inside a trench part.

SOLUTION: The trench isolation structure 20 has structures that an insulation film 4 is disposed on the inner surface of a trench provided inside a silicon substrate 1, and that doped polysilicon for which phosphorus is doped to the density of about $1 \times 10^{20}/\text{cm}^3$ for instance as the conductor 3 is buried on a lower part side inside a trench space stipulated by the insulation film 4. Then, a silicon oxide for instance is buried as an insulating material 2 on the upper part side of the trench space. There are some cases that the silicon oxide used there is formed by burying a TEOS oxidized film, an HDP oxidized film or the SiOF film of a small permittivity.



2 : 絶縁膜
3 : 導電体
4 : 絶縁膜
20 : トレンチ隔離構造

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

(11)特許出願公開番号

特開2001-148418

(P2001-148418A)

(43)公開日 平成13年5月29日(2001.5.29)

(51) Int.Cl.⁷

識別記号

FI

テーマート* (参考)

H O I L 21/76
21/3205
27/08
27/108

H O 1 L 27/08

3 3 1 A 5 F 0 3 2

3 3 1 E 5 F 0 3 3

21/76 L 5 F 0 4 8

21/88 J 5 F 0 8 3

S

審査請求 未請求 請求項の数 3 OL (全 14 頁) 最終頁に続く

(21)出願番号 特願平11-329444

(22)出願日 平成11年11月19日(1999.11.19)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 藤永 正人

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 發明者 國清 辰也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

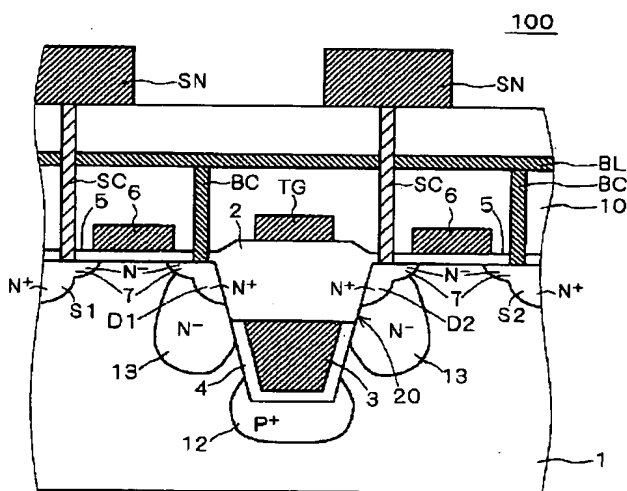
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 導電体をトレンチ部内に有するトレンチ分離構造において、導電体の電位を制御して、パンチスルーによるリークおよび接合リークをとともに低減した半導体装置を提供する。

【解決手段】 トレンチ分離構造 20 はシリコン基板 1 内に設けられたトレンチの内面に絶縁膜 4 を配設し、絶縁膜 4 で規定されるトレンチ空間内の下部側に、導電体 3 として、例えばリンを $1 \times 10^{20} / \text{cm}^3$ 程度の濃度にドーピングしたドーフトポリシリコンが埋め込まれた構成を有している。そして、トレンチ空間の上部側には絶縁物 2 として、例えばシリコン酸化物が埋め込まれている。ここで使用されるシリコン酸化物は、TEOS 酸化膜やHDP酸化膜、また誘電率の小さなSiOF膜を埋め込むことで形成する場合もある。



2: 絶縁物

3 : 導電体

4：絶縁膜

20: トレンチ分離構造

【特許請求の範囲】

【請求項 1】 半導体基板上に形成され、ソース・ドレイン層を有する半導体素子と、

前記ソース・ドレイン層に隣接して前記半導体素子を電気的に分離するトレンチ分離構造とを備える半導体装置であって、

前記トレンチ分離構造は、

前記半導体基板の表面内に配設されたトレンチと、

前記トレンチ内に配設され、前記ソース・ドレイン層の最深部よりも深い位置に最上部を有する導電体と、

前記導電体の側面と前記トレンチとの間に配設された絶縁膜と、

前記導電体の上部において前記トレンチを埋め込む絶縁物とを有する、半導体装置。

【請求項 2】 前記絶縁膜は前記導電体の下主面と前記半導体基板との間にも延在する、請求項 1 記載の半導体装置。

【請求項 3】 前記半導体装置は、

電荷蓄積電極と、

前記導電体の電位を自動的に制御する制御システムとをさらに備えた半導体記憶装置であって、

前記制御システムは、

第 1 の電源に、第 1 の電極を接続された第 1 導電型の第 1 のトランジスタと、

前記第 1 のトランジスタの第 2 の電極に第 1 の端部を接続された第 1 の抵抗素子と、

前記第 1 の抵抗素子の第 2 の端部に、第 1 の端部を接続され、第 2 の端部を前記第 1 の電源とは反対極性の電位を供給する第 2 の電源に接続された第 2 の抵抗素子とを有した第 1 の回路部と、

前記第 2 の電源に、第 1 の電極を接続された第 2 導電型の第 2 のトランジスタと、

前記第 2 のトランジスタの第 2 の電極に第 1 の端部を接続された第 3 の抵抗素子と、

前記第 3 の抵抗素子の第 2 の端部に、第 1 の端部を接続され、第 2 の端部が接地された第 4 の抵抗素子とを有した第 2 の回路部とを備え、

前記第 1 のトランジスタの制御電極は、

前記電荷蓄積電極に接続される前記ソース・ドレイン層に接続され、

前記第 2 のトランジスタの制御電極は、前記第 1 の抵抗素子の第 2 の端部に接続され、

前記第 3 の抵抗素子の第 2 の端部は、前記導電体に接続される、請求項 2 記載の半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は半導体装置に関し、特に、半導体装置の素子分離構造に関する。

【0002】

【従来の技術】 半導体装置においては、LOCOS 分離

や、トレンチ分離により個々の半導体素子を電気的に分離している。半導体装置の集積度が比較的低い場合は LOCOS 分離で対応できたが、集積度の向上に伴ってトレンチ分離の必要性が高まってきた。

【0003】 図 25 を用いてトレンチ分離の構成例について説明する。図 25 において P 型のシリコン基板 61 上には複数の MOS トランジスタが形成され、個々の MOS トランジスタを電気的に分離するために、MOS トランジスタ間のシリコン基板 61 にトレンチを設け、当該トレンチ内に CVD (chemical vapor deposition) により形成したシリコン酸化物 66 を埋め込んでトレンチ部 65 が形成されている。

【0004】 なお、トレンチ部 65 の両側のシリコン基板 61 の表面内には MOS トランジスタを構成する N 型のソース・ドレイン層 62 が配設され、トレンチ部 65 上およびソース・ドレイン層 62 上を覆うようにゲート酸化膜 63 が配設され、ソース・ドレイン層 62 上からチャネル領域上にかけてゲート電極 64 が配設されている。

【0005】 MOS トランジスタの動作時には、ソース・ドレイン層 62 を覆う空乏層はチャネル領域の側だけでなくトレンチ部 65 の側にも延在するが、トレンチ部 65 の存在によりトレンチ部 65 の両側のソース・ドレイン層 62 間でパンチスルーが発生することが防止される。

【0006】 しかし、半導体装置の微細化が進み 0.1 μm の設計ルール以下になると、素子間隔が狭くなり、図 25 で示すトレンチ部 65 の両側のソース・ドレイン層 62 から延在する空乏層がトレンチ部 65 の底部を越えて接近し、ソース・ドレイン層 62 間でパンチスルーが発生して電流リークが起こりやすくなる。

【0007】 これを防止するには、トレンチの深さを深くして空乏層どうしが接触することを阻止したり、トレンチ部の底面外周に高濃度の P 型拡散層を配設して空乏層の伸びを抑える必要がある。しかし、トレンチを深くすると、絶縁物の埋め込みが難しくなったり、トレンチ形成に伴って発生する応力に起因して、シリコン基板中に結晶欠陥が発生する可能性がある。

【0008】 また、トレンチ部の底面外周に P 型拡散層を設けた場合、P 型不純物の濃度によっては、空乏層内の電界が強くなり、キャリアが欠陥準位を介して伝導帯にまで励起される電子トラップアシストトンネリング現象により接合リークが増えることがある。

【0009】 また、図 25 を用いて説明した構成においては、トレンチ部 65 のシリコン酸化物 66 とシリコン基板 61 との界面付近で、シリコン酸化物 66 に正電荷が誘起され、シリコン基板 61 に負電荷が誘起され、シリコン酸化物 66 をゲート酸化膜としたチャネル（いわゆるサイドチャネル）が生じ、寄生 MOS トランジスタとなって、リーク電流が生じることがある。

【0010】ここで、P型シリコン基板上に形成されたMOSトランジスタにおいて、ゲート電圧をグランドレベルにした場合のソース・ドレイン層間のリーク電流はスレッショルド電圧が高いほど少ないことが知られている。そしてスレッショルド電圧を高めるには、ゲート材料として電子親和力の大きな物質を使用すれば良い。これは、上記寄生MOSトランジスタにおいても同様であり、トレンチ部65のシリコン酸化膜66中に電子親和力の大きな物質を埋め込むことで、寄生MOSトランジスタのスレッショルド電圧を高めて、リーク電流を低減させることができる。

【0011】そこで、パンチスルーによるリーク電流の防止手段としては、上述した手段以外に、トレンチ部に導電体を埋め込んだ構成が考えられている。

【0012】これを実現する構成の一例を図26に示す。このような構成は、例えば特開平1-138730号公報に開示されている。図26においては、図25に示したトレンチ部65の代わりに、トレンチの内面に配設されたシリコン酸化膜56と、シリコン酸化膜56の内面に配設された補償物質層57と、補償物質層57で規定される空間内に配設された絶縁物58とで構成されたトレンチ部55を備えている。なお、その他の構成は図25と同様である。

【0013】補償物質層57はシリコン基板61中の負電荷を補償するための層であり、電子親和力の大きな物質、例えばボロン(B)やアルミニウム(Al)等をドーブしたポリシリコン層や、チタンシリサイド(TiSi)層、タングステンシリサイド(WSi)層等のシリサイド層や、チタン(Ti)、モリブデン(Mo)のような高融点金属層が用いられている。

【0014】しかし、図26に示す構成においては、トレンチ部55内の補償物質層57はフローティング状態であり、製造状況により補償物質層に存在する電荷量がばらつき、リーク電流を小さくすることが難しいという問題がある。

【0015】補償物質層57はシリコン基板51と絶縁物58との間で仕事関数差が小さくなるような物質として作用するために導入されるものであり、換言すればトレンチを充填する材料の特性を変更するための物質である。従って、補償物質層57はフローティング状態として使用されるべきものであるが、フローティングであるため、例えば、イオン注入などの半導体装置の製造工程で電荷が蓄積されることがあり、また、その電荷量は一定せず、リーク電流を発生させる原因となることも考えられる。

【0016】図27にも、トレンチ部内に導電体を埋め込んだ構成を示す。図27に示す構成は、例えば、特開平8-172124号公報に開示されている。半導体基板71内に形成されたトレンチ72の内壁面に絶縁膜77が配設され、絶縁膜77の内壁面およびトレンチ72

の底部に配設され、底部において半導体基板71に接する導電膜78を有した構成となっている。

【0017】また、導電膜78で規定される空間内には絶縁膜79が埋め込まれ、トレンチ72の上部には絶縁膜74が突出するように設けられている。

【0018】図27に示すような構成において導電膜78の電位を固定しようとする、トレンチ72の両側に存在するN型半導体領域(図示せず)の電位に応じて導電膜78の電位を制御する必要が生じるが、その制御は難しいものとなる。

【0019】すなわち、半導体基板71の電位を0Vとした場合、導電膜78の電位も同じ0Vとすれば、導電膜78と半導体基板71との間に電流が流れることはないが、トレンチ72の両側に存在するN型半導体領域の電位が0Vでない場合は、導電膜78と当該N型半導体領域との間で電流が流れてしまう。

【0020】従って、トレンチ72の両側に存在するN型半導体領域の電位、および半導体基板71の電位を考慮して導電膜78の電位を制御しなければならず、その制御には困難が予測される。

【0021】同様に、トレンチの底部において導電膜が半導体基板に接触する構成は特開平6-140500号公報、特開昭63-122145号公報にも開示されているが、何れも上述したような問題を含んでいる。

【0022】

【発明が解決しようとする課題】本発明は以上のような問題点を解決するためになされたもので、導電体をトレンチ部内に有するトレンチ分離構造において、導電体の電位を制御して、パンチスルーによるリークおよび接合リークをとともに低減した半導体装置を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明に係る請求項1記載の半導体装置は、半導体基板上に形成され、ソース・ドレイン層を有する半導体素子と、前記ソース・ドレイン層に隣接して前記半導体素子を電気的に分離するトレンチ分離構造とを備える半導体装置であって、前記トレンチ分離構造は、前記半導体基板の表面内に配設されたトレンチと、前記トレンチ内に配設され、前記ソース・ドレイン層の最深部よりも深い位置に最上部を有する導電体と、前記導電体の側面と前記トレンチとの間に配設された絶縁膜と、前記導電体の上部において前記トレンチを埋め込む絶縁物とを有している。

【0024】本発明に係る請求項2記載の半導体装置は、前記絶縁膜は前記導電体の下主面と前記半導体基板との間にも延在している。

【0025】本発明に係る請求項3記載の半導体装置は、前記半導体装置は、電荷蓄積電極と、前記導電体の電位を自動的に制御する制御システムとをさらに備えた半導体記憶装置であって、前記制御システムは、第1の

電源に、第1の電極を接続された第1導電型の第1のトランジスタと、前記第1のトランジスタの第2の電極に第1の端部を接続された第1の抵抗素子と、前記第1の抵抗素子の第2の端部に、第1の端部を接続され、第2の端部を前記第1の電源とは反対極性の電位を供給する第2の電源に接続された第2の抵抗素子とを有した第1の回路部と、前記第2の電源に、第1の電極を接続された第2導電型の第2のトランジスタと、前記第2のトランジスタの第2の電極に第1の端部を接続された第3の抵抗素子と、前記第3の抵抗素子の第2の端部に、第1の端部を接続され、第2の端部が接地された第4の抵抗素子とを有した第2の回路部とを備え、前記第1のトランジスタの制御電極は、前記電荷蓄積電極に接続される前記ソース・ドレイン層に接続され、前記第2のトランジスタの制御電極は、前記第1の抵抗素子の第2の端部に接続され、前記第3の抵抗素子の第2の端部は、前記導電体に接続される。

【0026】

【発明の実施の形態】< A. 実施の形態1 >

< A-1. 装置構成 > 本発明に係る半導体装置の実施の形態1として、図1にDRAM（ダイナミックRAM）100の部分断面図を示す。

【0027】図1はDRAMのメモリセル部分を示す図であり、P型のシリコン基板1上には複数のNチャネル型MOSトランジスタが形成され、当該MOSトランジスタ間のシリコン基板1に当該Nチャネル型MOSトランジスタ間を電氣的に分離するためにトレンチ分離構造20が配設されている。

【0028】トレンチ分離構造20はシリコン基板1内に設けられたトレンチの内面に絶縁膜4（例えばシリコン酸化膜）を配設し、絶縁膜4で規定されるトレンチ空間内の下部側に、導電体3として、例えばリン（P）を $1 \times 10^{20} / \text{cm}^3$ 程度の濃度にドーピングしたドーフトポリシリコンが埋め込まれた構成を有している。

【0029】そして、トレンチ空間の上部側には絶縁物2として、例えばシリコン酸化物が埋め込まれている。ここで使用されるシリコン酸化物は、TEOS（tetraethyl orthosilicate）酸化膜やHDP（High Density Plasma）酸化膜、また誘電率の小さなSiOF（フッ素添加酸化物）膜を埋め込むことで形成しても良い。

【0030】このような誘電率の小さな物質を使用することで、トレンチ分離構造20の上部に形成されたトランスファーゲートのゲート容量を少なくし、ゲート電位の立ち上がりの遅延時間を小さくしたり、電位の変動を抑えることができる。

【0031】なお、導電体3は絶縁物2を貫通する図示されないコンタクトによって外部と電氣的に接続され、ソース・ドレイン層の不純物濃度やトレンチ形状などに合わせて最適な電位が与えられる構成となっている。なお、導電体3に与える電位については後に説明する。

【0032】< A-1-1. トレンチ分離構造20の構造的特徴 > トレンチ分離構造20は、トレンチの下部側に導電体3を埋め込み、トレンチの上部側に絶縁物2を埋め込んでいる。このような構成としたのは、トレンチ分離構造20の上部にトランスファーゲートが形成された場合にトランスファーゲートのゲート容量を小さくする点で有効だからである。

【0033】通常のMOSトランジスタのゲート電極のゲート酸化膜の厚さは2～10nmである。トレンチ分離構造20の上部に形成されたトランスファーゲートのゲート容量が、ゲート電極のゲート容量よりも大きくなることは避けなければならない。

【0034】そのためには、絶縁物2の厚さはゲート酸化膜の厚さの10倍以上、例えば100nm以上にすることが望ましい。この点、トレンチ分離構造20においては上部側に絶縁物2を埋め込んでいるので、絶縁物2の厚さは十分に厚くすることができる。これによりトレンチ分離構造20の上部に形成されたトランスファーゲートのゲート容量は、全ゲート容量の10分の1以下にできる。

【0035】ここで、図1の構成の説明に戻る。トレンチ分離構造20の両側のシリコン基板1の表面内にはMOSトランジスタを構成する比較的低濃度のN型の低ドーピングドレイン層（以後、LDD層と呼称）7および比較的高濃度のN型のソース・ドレイン層が複数配設されている。

【0036】ここで、ソース・ドレイン層については、後の動作説明の便宜を図るため、図に向かって最も左側のものをソース・ドレイン層S1、トレンチ分離構造20の左横のものをソース・ドレイン層D1、トレンチ分離構造20の右横のものをソース・ドレイン層D2、図に向かって最も右側のものをソース・ドレイン層S2とする。

【0037】そして、LDD層7、ソース・ドレイン層D1、S1、D2、S2およびトレンチ分離構造20上を覆うようにゲート酸化膜5が配設され、向かい合うLDD層7の端縁部上部間にはチャネル領域を覆うようにゲート電極6が配設されている。

【0038】また、シリコン酸化膜で構成される絶縁膜4に窒素イオンを注入したり、シリコン酸化膜の代わりに、SiON膜（シリコンオキシナイトライド膜）を使用することで、ドーフトポリシリコンで構成される導電体3からシリコン基板1への不純物拡散を抑制したり、界面での界面準位および結晶欠陥の発生を抑制することができる。

【0039】< A-1-2. 絶縁膜4の厚さの設定 > ここで、トレンチ分離構造20に隣接するソース・ドレイン層と導電体3とを最低でも10nm以上離すようにする。このためには、トレンチ分離構造20の絶縁膜4の厚さは10nm（100オングストローム）程度とし、

ソース・ドレイン層の最深部よりも深い位置に導電体3の最上面が位置するように配設する。なお、絶縁膜4の厚さはトレンチ分離構造20の表面における電荷量の制御性を考慮して、最大でも20nm程度とする。

【0040】この構成により、トレンチ分離構造20に隣接するソース・ドレイン層D1およびD2と導電体3との間の電界により、絶縁膜（シリコン酸化膜）4が破壊されることを防止できる。

【0041】電界によるシリコン酸化膜の絶縁破壊（dielectric breakdown）には3つのモードがあるとされている。すなわち、破壊電界EBDが 1 MV/cm 以下で、ピンホールなどの損傷によって短絡が生じるAモード、破壊電界EBDが、 $1\text{ MV/cm} < \text{EBD} < 8\text{ MV/cm}$ の範囲で、何らかの欠陥によるウィークスポットが原因で生じるBモード、破壊電界EBDが 8 MV/cm 以上で、ファウラー・ノルドハイム（Fowler-Nordheim）型のトンネル電流によるリーク電流を生じるCモードがある。

【0042】一般にシリコン酸化膜の品質はCモードの占める頻度で表され、高品質のシリコン酸化膜の絶縁特性は100% Cモードとなる。一方、Bモードによる破壊は永久的な破壊となり、Bモードにより破壊したシリコン酸化膜は、再測定ではAモードを呈することになる。従って、注意すべきはBモードによる破壊であり、Bモード破壊を起こさないようにシリコン酸化膜の厚さを設定する。

【0043】後に説明するが、例えば導電体3の電位を -1.0 V とし、ソース・ドレイン層D1の電位を 1.0 V とした場合、両者の間には 2 V の電圧がかかる。Bモード破壊は実際的には 3 MV/cm 以上で発生するとされており、 3 MV/cm を限界電界とすると、絶縁膜4の厚さの限界は、 $2\text{ V} \div 3\text{ MV/cm} = 0.666 \times 10^6\text{ cm} = 6.7\text{ nm}$ となる。

【0044】この値は、ソース・ドレイン層D1の電位が 1.0 V 、すなわち電源電圧が 1.0 V の場合の値であったが、電源電圧が 1.5 V で、導電体3の電位を -1.5 V に設定した場合は、絶縁膜4の厚さの限界は 10 nm 、電源電圧が 2.0 V で、導電体3の電位を -2.0 V に設定した場合は、絶縁膜4の厚さの限界は 13.3 nm となる。

【0045】絶縁膜4の厚さを 10 nm 程度としたのは上記Bモード破壊を考慮し、電源電圧が 1.5 V の場合を想定してのことであり、電源電圧が高くなれば、絶縁膜4の厚さを厚くしなければならない。

【0046】なお、絶縁膜4の厚さは可能な限り薄い方がトレンチ分離構造20の表面近傍での電荷量の制御性が良くなるので、上述した絶縁破壊を考慮した上で、できるだけ薄く形成することが望ましい。

【0047】この点、ソース・ドレイン層の最深部よりも深い位置に導電体3の最上面が位置するように導電体3を配設したトレンチ分離構造20においては、導電体

3とソース・ドレイン層との絶縁性が良好となり、絶縁膜4の厚さを限界まで薄くすることができる。

【0048】なお、絶縁膜4はトレンチの内面に沿って形成され、導電体3の側面および下主面を囲むように配設されているが、導電体3の下主面がシリコン基板1に接触する構成であっても良い。ただし、その場合はシリコン基板1の電位を考慮して導電体3の電位を決定することになる。

【0049】ここで、図1の構成の説明に戻る。トレンチ分離構造20の底面近傍のシリコン基板1内には、トレンチ分離構造20の底部を囲むように比較的高濃度（ $1 \times 10^{17}/\text{cm}^3$ 程度）のP型不純物領域12が配設されている。P型不純物領域12はトレンチ分離構造20の両側のソース・ドレイン層からの空乏層の伸びを抑えるためのものである。

【0050】また、トレンチ分離構造20の両側のソース・ドレイン層D1およびD2を囲むように不純物領域13が存在している。これは、後に説明するが、ソース・ドレイン層D1およびD2を覆って、さらに深い位置まで達するN型領域を配設することで電界を緩和する目的で設けられている。

【0051】ゲート電極6は、トランスファーゲートの一部をなし、ポリシリコン層、あるいはタングステンシリサイド（WSi）層、チタンシリサイド（TiSi）層などの金属シリサイド層、あるいはタングステン（W）、アルミニウム（Al）などの金属層で構成され、それぞれが互いに平行に配設されている。なお、トランスファーゲートTGはトレンチ分離構造20上にも配設されている。

【0052】また、トランスファーゲートTGよりも上層には、ビット線BLが配設され、ビット線BLはポリシリコン層、あるいはタングステンシリサイド層、チタンシリサイド層などの金属シリサイド層、あるいはタングステン、アルミニウムなどの金属層で構成され、その配設方向はトランスファーゲートTGとは平面視上、直交する方向である。

【0053】そして、ソース・ドレイン層D1およびS2と、ビット線BLとはビット線コンタクトBCを通じて電氣的に接続されている。

【0054】図1に示すように、シリコン基板1上を覆うように層間絶縁膜10が配設され、ビット線BLを含めてMOSトランジスタに関連する構成は層間絶縁膜10に埋め込まれている。

【0055】そして、層間絶縁膜10上にはストレージノードSNが配設され、ストレージノードSNは、ソース・ドレイン層S1およびD2にストレージノードコンタクトSCを通じて電氣的に接続されている。

【0056】ストレージノードSNはキャパシタを構成する2つの電極のうち、MOSトランジスタのソース・ドレイン層に接続される電極に相当し、ストレージノー

ドSNと対をなし、キャパシタの他方の電極であるセルプレート（図示せず）と、ストレージノードSNとセルプレートとの間に配設される厚さ数nmの絶縁膜とでキャパシタを構成する。

【0057】ストレージノードSNの形状には、一般的なスタック平坦型の他に、抜き円筒型（interior type）、残し円筒型（exterior type）と呼称される種々の形状があるが、本発明との関連が薄いので詳細な説明は省略する。

【0058】ストレージノードを有した半導体記憶装置は、ストレージノードに電荷を貯める場合を1、貯めない場合を0として、0または1の2値データを記憶する。蓄積された電荷は徐々にリークするため、そのままにすると記憶データが失われる。そのため、所定の時間間隔でストレージノードSNに電荷を供給して、電位を元の値に戻す必要がある。これがリフレッシュ動作である。リフレッシュ動作中は、外部からメモリセルにアクセスできないため、リフレッシュ動作から次のリフレッシュ動作までの時間間隔が長いほど、DRAMとしての性能が良いとされる。

【0059】ここで、図2を用いて、図1に示すDRAM100を形成するためのマスクパターンの一例を示す。図2は、MOSトランジスタ等の半導体素子が形成される活性領域（素子形成領域）ARを形成するためのマスクパターン、トランスファーゲートTGを形成するためのマスクパターン、ビット線BLを形成するためのマスクパターンを全て重ねた状態を示した平面図である。そして、トランスファーゲートTGの配線幅（ライン：L）と配置間隔（スペース：S）の設計ルール（L/S）は $0.15\mu\text{m}/0.15\mu\text{m}$ であり、ビット線BLの設計ルール（L/S）は $0.1\mu\text{m}/0.2\mu\text{m}$ となっている。

【0060】なお、トレンチ分離構造は、活性領域ARを囲むように形成されており、図2に示すA-A線での断面形状が図1の構成である。

【0061】＜A-2. 装置動作＞次に、図1に示すDRAMの動作について説明する。まず、リーク電流が流れる条件を以下に示す。

【0062】基板電位＝0V、
ソース・ドレイン層S1の電位＝0V、
ソース・ドレイン層D1の電位＝0V、
ソース・ドレイン層D2の電位＝1.5V、
ソース・ドレイン層S2の電位＝1.5V。
このような条件下において、2種類のリークのメカニズムが考えられる。

【0063】その1つが、シリコン基板1とソース・ドレイン層D2間のPN接合でのリークであり、他の1つが、ソース・ドレイン層D2とソース・ドレイン層D1間のパンチスルー（以後、表面パンチスルーと呼称）によるリークである。

【0064】PN接合でのリークは、PN接合部分での拡散電流や、キャリアが欠陥準位を介して伝導帯にまで励起され（電子トラップアシストトンネリング現象）、そのキャリアがリークすることが考えられる。PN接合部の空乏層中の電界が強いと、リーク電流が増えるため、図1に示す不純物領域13を設けることで、接合部分での不純物濃度を低濃度にして空乏層を長くなるようにすることで電界を小さくする。

【0065】特にトレンチ分離構造とシリコン基板との界面には欠陥ができることが多く、この部分での電界を小さくする必要がある。しかし、界面近くの不純物濃度を薄くすると、空乏層が伸びすぎて、表面パンチスルーによるリーク電流が増える。

【0066】そこで、トレンチ分離構造20内部の導電体3の電位を -1.0V にして、シリコン基板1とトレンチ分離構造20との界面の電子濃度を低くすることで、表面パンチスルーによる電流リークを防ぐことができる。

【0067】すなわち、導電体3の電位を負電位にすると、トレンチ分離構造20近傍の電子はトレンチ分離構造20から遠ざかる方向に力を受け、逆にホールは引きつけられるので、シリコン基板1とトレンチ分離構造20との界面の電子濃度が低くなる。

【0068】ここで、PN接合に逆バイアス 1.0V をかけた場合の、P型不純物領域12の不純物濃度に対する、空乏層幅および電界の関係は以下ようになる。

【0069】不純物濃度 $1\times 10^{18}/\text{cm}^3$ に対しては、空乏層幅 $0.03\mu\text{m}$ 、電界 $3.3\times 10^5\text{V}/\text{cm}$ となる。不純物濃度 $1\times 10^{17}/\text{cm}^3$ に対しては、空乏層幅 $0.1\mu\text{m}$ 、電界 $1.0\times 10^5\text{V}/\text{cm}$ となる。不純物濃度 $1\times 10^{16}/\text{cm}^3$ に対しては、空乏層幅 $0.3\mu\text{m}$ 、電界 $0.33\times 10^5\text{V}/\text{cm}$ となる。

【0070】設計ルールが $0.15\mu\text{m}$ 以下という素子では、トレンチ分離構造の幅が $0.15\mu\text{m}$ 以下となるので、トレンチ分離構造20の両側のソース・ドレイン層から空乏層が伸びてパンチスルーとなることを防止するという観点から、空乏層幅が $0.1\mu\text{m}$ 程度となる不純物濃度 $1\times 10^{17}/\text{cm}^3$ を基準とし、これよりP型不純物領域12の不純物濃度を低くするように設定し、導電体3の電位は -1.0V に設定する。

【0071】なお、ソース・ドレイン層がP型であるPチャネル型MOSトランジスタの場合は導電体3の電位は正電位とする。

【0072】＜A-3. 製造方法＞以下、製造工程を順に示す断面図である図3～図16を用いて、DRAM100の製造方法について説明する。

【0073】まず、図3に示す工程において、シリコン基板1の主面を全面的に酸化し、 $10\sim 30\text{nm}$ の厚さのシリコン酸化膜OX1を形成する。

【0074】次に、図4に示す工程において、シリコン

酸化膜OX1上にシリコン窒化膜を形成し、写真製版によりトレンチ分離パターンをパターンニングして、トレンチ形成用マスクNF1を形成する。

【0075】次に、図5に示す工程において、トレンチ形成用マスクNF1を用いてシリコン酸化膜OX1およびシリコン基板1を選択的にエッチングして、開口部の面積が底面よりも大きい逆台形の断面形状を有するトレンチTRを形成した後、ボロンイオン(B⁺)をイオン注入して、トレンチの底面にP型不純物層PLを形成する。

【0076】なお、トレンチの形状を逆台形としたのは、導電体や絶縁物の埋め込みに際してはCVD法を用いるが、トレンチの上部は下部よりもデポジション物質の供給が多く、デポジション速度が速いので、トレンチの上部が先に埋め込まれ、トレンチ内部にボイドと呼ばれる中空部分が発生することを防止するためである。もちろん、ボイドの発生を防止できるのであれば、トレンチの形状は逆台形に限定されるものではない。

【0077】また、トレンチTRの深さは本発明を適用する半導体装置によって変わり、100nm～1000nmの深さ範囲となるが、本実施の形態においては約300nm(0.3μm)の深さとする。

【0078】また、本実施の形態においては0.15μmの設計ルールを仮定し、トレンチTRの開口寸法は約0.15μmとする。

【0079】次に、図6に示す工程において、トレンチTRの壁面表面を熱酸化し、10nm程度のシリコン酸化膜OX2を形成する。このとき、トレンチ底面のP型不純物層PLが拡散し、 $1 \times 10^{17}/\text{cm}^3$ 程度の濃度のP型不純物領域12となる。

【0080】次に、図7に示す工程において、厚さ10nm程度のシリコン窒化膜NF2を全面的に形成し、トレンチTRの壁面表面のシリコン酸化膜OX2を覆った後、リンを $1 \times 10^{20}/\text{cm}^3$ 程度の濃度にドーブしたドーブトポリシリコン層DPを、例えばCVD法によって全面的に形成し、トレンチTRを埋め込む。

【0081】次に、図8に示す工程において、CMP(chemical Mechanical Polishing)による平坦化处理により、トレンチ形成用マスクNF1上のシリコン窒化膜NF2が露出するまでドーブトポリシリコン層DPを除去する。

【0082】次に、図9に示す工程において、異方性ドライエッチングにより、トレンチTR内の下部側にドーブトポリシリコン層DPが残るように、トレンチTR内のドーブトポリシリコン層DPを除去する。なお、残ったドーブトポリシリコン層DPが導電体3を構成する。

【0083】ここで、先に説明したように、ドーブトポリシリコン層DPを除去した後に埋め込む絶縁物2の厚さを最低でも100nmとする必要から、ドーブトポリシリコン層DPの除去量は、トレンチTRの開口面、す

なわちシリコン基板1の表面から100nm程度とする。

【0084】次に、図10に示す工程において、導電体3の上部を、例えばSiOF膜(フッ素添加酸化膜)SFで埋め込む。SiOF膜は例えば低温CVDで全面的に形成し、不要部分はCMPにより平坦化して除去する。

【0085】次に、図11に示す工程において、シリコン基板1のほぼ主面の位置に相当する深さまでSiOF膜SFを異方性ドライエッチングにより除去し、次に、トレンチ形成用マスクNF1をエッチングにより除去し、表面を平坦化する。なお、これらの工程の代わりに、CMPにより平坦化を行ってもよい。続いて、SiOF膜SFの焼き締めを低温、高圧力の条件下で行う。

【0086】次に、図12に示す工程において、基板表面のシリコン酸化膜OX1をエッチングにより除去し、シリコン基板1の表面を露出させる。このとき、シリコン酸化膜OX1のエッチングレートと、SiOF膜SFのエッチングレートに差が生じ、SiOF膜SFがシリコン基板1の主面よりも若干突出した形状となる。

【0087】次に、図13に示す工程において、シリコン基板1上に厚さ2～10nmのゲート酸化膜5をSiO₂あるいはSiON(シリコンオキシナイトライド)で形成する。SiONは、N₂O、Si₂H₂Cl₂を混合して、LP(低圧)CVDにより700～750℃の温度条件下で形成する。

【0088】次に、図14に示す工程において、ゲート酸化膜5上に、ポリシリコンあるいはタングステンシリサイド(WSi)によりゲート電極6を選択的に形成した後、ゲート電極6をマスクとしてリンイオンを $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^3$ の濃度に注入してLDD層7を形成する。

【0089】次に、図15に示す工程において、全面的にシリコン窒化膜を形成した後、当該シリコン窒化膜を異方性エッチングで除去し、ゲート電極6の側面にサイドウォール絶縁膜SWを形成する。そして、サイドウォール絶縁膜SWをマスクとしてヒ素(As)イオンを $1 \times 10^{17}/\text{cm}^3$ 程度の濃度に注入し、ソース・ドレイン層S1、D1、D2、S2を形成する。なお、DRAMのメモリセル等では、接合部分の電界を小さくするためヒ素イオン注入は行わず、ソース・ドレイン層はLDD層で代用する場合もある。

【0090】次に、図16に示す工程において、TEOS膜あるいはBPSG(boro-phospho silicate glass)膜を全面的に形成して層間絶縁膜10を形成する。層間絶縁膜10にはビット線BLが埋め込まれ、また、ビット線BLからソース・ドレイン層D1およびS2に達するビット線コンタクトBCが形成されている。

【0091】この後、層間絶縁膜10を貫通してソース・ドレイン層S1およびD2に達するストレージノード

コンタクト（図示せず）を形成し、層間絶縁膜10上にストレージノード（図示せず）を形成することで図1に示すDRAM100の構成が得られる。

【0092】なお、図16においては絶縁膜4がシリコン酸化膜OX1とシリコン窒化膜NF2で構成され、絶縁物2がSiOF膜SF、シリコン酸化膜OX1およびシリコン窒化膜NF2で構成されている。

【0093】＜A-4. 作用効果＞以上説明したように、本実施の形態1によれば、トレンチ分離構造20が、トレンチの下部側に埋め込まれた導電体3を有し、導電体3に負電位を与える構成となっているので、シリコン基板1とトレンチ分離構造20との界面の電子濃度を低くすることで、トレンチ分離構造20で分離されたMOSトランジスタ間におけるパンチスルーを防止し、電流リークの原因を低減できる。

【0094】またトレンチの上部側に誘電率の小さな絶縁物2を埋め込んだ構成とすることで、トレンチ分離構造20の上部にあるトランスファーゲートTGの容量を少なくし、ゲート電位の立ち上がりの遅延時間を小さくしたり、電位の変動を抑えることができる。

【0095】また、導電体3とシリコン基板1との間に厚さ10nm程度の絶縁膜を設けることで、ソース・ドレイン層D1およびD2と導電体3とを少なくとも10nm以上離すことができ、ソース・ドレイン層D1およびD2と導電体3との間の電界による絶縁膜4の破壊を抑えることができる。

【0096】＜A-5. 変形例1＞以上説明した本発明に係る実施の形態1においては、導電体3がリンをドーブしたドーフトポリシリコンで構成された例を示したが、導電体3の材質としてはドーフトポリシリコンに限定されるものではなく、例えば、図17に示すようにタングステン(W)、銅(Cu)、アルミニウム(Al)などの金属材31や、図18に示すようにタングステンシリサイド(WSi)、コバルトシリサイド(CoSi)、チタンシリサイド(TiSi)などのシリサイド32を使用しても良い。なお、図17および図18において、図9に示す構成と同じ構成については同じ符号を付している。

【0097】以後の製造工程中の熱処理を考慮すると、高融点を有するW、Cu、WSi、CoSi、TiSiが有効である。ただし、WやCuなどの金属材31を使用する場合、金属材31とシリコン基板1の間にはSiO₂、SiNおよびSiONなどの絶縁膜だけでなく、図17に示すように、絶縁膜と金属材31との間にバリアメタル膜NMとして、TiN膜やTa₂N膜などの金属窒化膜を形成する。これにより、絶縁膜を通して、シリコン基板1に金属原子が拡散することや、金属原子が絶縁膜にスパイク上の突起を発生させることを抑制でき、電流リークの原因を低減できる。

【0098】＜A-6. 変形例2＞以上説明した本発明

に係る実施の形態1においては、導電体3が絶縁物2を貫通するコンタクト部によって外部と電氣的に接続されることについて説明した。この場合、コンタクト部内には導電体3と同様のドーフトポリシリコンを埋め込んだ構成を採用するが、導電体3が上述したように金属材31やシリサイド32で構成される場合は、図19に示すように、導電体3とコンタクト部16との間にTiN膜15を配設すると良い。TiN膜15がバリアメタルとなって、シリコンと金属材31との反応抑制や、金属原子がドーフトポリシリコンが埋め込まれたコンタクト部16に拡散することを防止できる。なお、コンタクト部16とソース・ドレイン層との間は10nm以上離すようにする。なお、TiN膜15の代わりにTa₂N膜でも良く、金属窒化膜であれば良い。

【0099】＜A-7. 変形例3＞以上説明した本発明に係る実施の形態1においては、トレンチ分離構造20において、トレンチの下部側に導電体3を埋め込んだ構成としたが、図20に示すように、トレンチの内面に形成された絶縁膜4の内側壁面上に導電膜3Aを形成した構成としても良い。このような構成にすることで、絶縁物2の厚さがより厚くなって、トレンチ分離構造20の上部にトランスファーゲートTGが形成された場合に、トランスファーゲートGTのゲート容量をより小さくできる。

【0100】なお、導電膜3Aはトレンチの下部側に形成されることは、導電体3と同様である。

【0101】＜A-8. 変形例4＞以上説明した本発明に係る実施の形態1においては、バルクシリコン基板に形成されたDRAMの構成を示したが、SOI(silicon on insulator)基板にDRAMを形成する場合でも同様のトレンチ分離構造を適用できる。

【0102】すなわち、図21に示すように、シリコン基板1上に埋め込み酸化膜BXを有し、埋め込み酸化膜BX上にSOI層SOを有してSOI基板1Aが構成されている。そして、SOI層SOの表面内にはトレンチ分離構造20が配設されている。

【0103】SOI層SOの厚さとトレンチ分離構造20の深さが近似している場合には、トレンチ分離構造20の底面から埋め込み酸化膜BXまでの距離が短くなり、シリコン部分が狭いためP型不純物をイオン注入をせずとも、パンチスルーを抑制する効果を得ることができる。もちろん、図21に示すようにP型不純物領域12を設けることで、シリコン部分が狭くなった効果と相俟ってパンチスルー抑制効果をさらに高めることができる。

【0104】＜A-9. 変形例5＞以上説明した本発明に係る実施の形態1においては、空乏層幅が0.1μm程度となる不純物濃度 $1 \times 10^{17} / \text{cm}^3$ を基準とし、これよりP型不純物領域12の不純物濃度を低くするように設定し、導電体3の電位は-1.0Vに設定する構

成としており、導電体3の電位は設計段階で -1.0V に設定され、変更はできなかったが、導電体3の電位を任意に変更できるように、導電体3に電位を可変に与える電位供給手段を備えた構成とすることもできる。

【0105】このような構成とすることで、例えばリフレッシュ特性に合わせてチップごとに導電体3の電位を最適化することができる。

【0106】<B. 実施の形態2>

<B-1. 装置構成>本発明に係る半導体装置の実施の形態2として、図22にDRAM100Aの部分断面図を示す。なお、図22において、図1に示したDRAM100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0107】図22においてDRAM100Aは、導電体3の電位を自動的に制御する自動電位制御システムASを有した構成となっている。

【0108】自動電位制御システムASは、ソース・ドレイン層の電位に基づいて導電体3の電位を自動的に設定するシステムであり、電源 V_{cc} に接続されるとともに、ソース・ドレイン層D2および導電体3に接続される構成となっている。

【0109】図23に自動電位制御システムASの構成例を示す。図23において、PNPバイポーラトランジスタQ1のエミッタが電位 V_{cc} を供給する電源PS1に接続され、コレクタが抵抗R1の一方端に接続され、抵抗R1の他方端が抵抗R2の一方端に接続され、抵抗R2の他方端が電源PS1とは反対の負電位 $-V_{cc}$ を供給する電源PS2に接続されている。PNPバイポーラトランジスタQ1のベースは素子EL、すなわち図22に示すMOSトランジスタのソース・ドレイン層D2に接続されている。ソース・ドレイン層D2は、ストレージノードSN（図1参照）に接続される半導体層であり、ソース・ドレイン層D2を介してストレージノードSNに電荷が蓄積されると、PNPバイポーラトランジスタQ1がオン状態となる。

【0110】そして、NPNバイポーラトランジスタQ2のエミッタが電源PS2に接続され、コレクタが抵抗R3の一方端に接続され、抵抗R3の他方端が抵抗R4の一方端に接続され、抵抗R4の他方端が接地電位に接続されている。NPNバイポーラトランジスタQ2のベースは、抵抗R1とR2との接続ノードND1に接続され、抵抗R3とR4との接続ノードND2は導電体3に接続される構成となっている。

【0111】<B-2. 装置動作>次に、自動電位制御システムASの動作について説明する。素子ELが所定の電位になっていない場合、すなわちPNPバイポーラトランジスタQ1がオフしている場合、電源PS1とPS2との間には電流が流れず、接続ノードND1の電位は $-V_{cc}$ であるので、NPNバイポーラトランジスタQ2はオンせず、接地と電源PS2間にも電流は流れな

い。従って、接続ノードND2、すなわち導電体3の電位は 0V である。

【0112】逆にソース・ドレイン層D2を介してストレージノードSNに電荷が蓄積された場合、すなわちPNPバイポーラトランジスタQ1がオン状態となった場合、電源PS1とPS2との間に電流が流れ、接続ノードND1の電位は $-V_{cc}$ よりも高くなり、接続ノードND1と電源PS2との間に電流が流れる。従って、接地と電源PS2間に電流が流れることになり、抵抗R3とR4の抵抗値の比率で、接続ノードND2の電位、すなわち導電体3の電位が $-V_{cc} \cdot R4 / (R3 + R4)$ に下がる。

【0113】なお、自動電位制御システムASはDRAMを構成する周辺回路等に配設すれば良い。

【0114】すなわち、DRAMは図24に示すように複数のメモリセルMCの配列で構成されたメモリセルアレイMAと、メモリセルアレイMAの周辺に配設され、行デコーダおよび列デコーダ、センスアンプ等を含む周辺回路PCとを備えており、トレンチ分離構造20などの素子分離膜は、メモリセルMCおよび周辺回路PCを含めて共通につながった構造をなしているため、周辺回路PCにおいて導電体3に自動電位制御システムASを接続することで、図22に示す構成を得ることができる。

【0115】<B-3. 作用効果>ストレージノードSNに電荷が蓄積されて、リーク電流を防止する必要がある場合に、ストレージノードSNに接続されたソース・ドレイン層D2の電位に基づいて導電体3の電位を自動的に負電位になるように制御するので、トレンチ分離構造20で分離されたMOSトランジスタ間におけるパシスルーを防止して、電流リークの発生を自動的に低減できる。

【0116】<B-4. 変形例>トレンチ分離構造20が、メモリセルMCおよび周辺回路PCを含めて共通につながった構造をなしていることを利用すれば、導電体3を電源供給線、例えばソース・ドレイン層への電源供給線として使用することも可能となる。

【0117】この場合、電源供給のために配線が少なくとも1種類は不要になるので、当該配線のためのレイヤが不要となり、チップ面積の削減や、配線層数を削減して半導体装置の小型化が可能となる。

【0118】なお、以上説明した本発明に係る実施の形態1および2においては、トレンチ分離構造20によってMOSトランジスタが分離される例について説明したが、MOSトランジスタの分離に限定されるものではなく、バイポーラトランジスタの分離にも本発明に係るトレンチ分離構造は適用可能である。

【0119】

【発明の効果】本発明に係る請求項1記載の半導体装置によれば、導電体に所定の電位を与えることでトレン

分離構造の表面での電荷量の制御を行うことができるので、トレンチ分離構造で分離された半導体素子のソース・ドレイン層から延在する空乏層が、トレンチ分離構造の周囲を経由して導通し、パンチスルー状態となることを防止して、電流リークの発生を低減できる。導電体の最上部は、ソース・ドレイン層の最深部よりも深い位置にあるので、導電体とソース・ドレイン層との間の絶縁が良好となり、導電体の側面とトレンチとの間の絶縁膜の厚さを薄くして、トレンチ分離構造の表面での電荷量の制御性を良好にできる。

【0120】本発明に係る請求項2記載の半導体装置によれば、絶縁膜が導電体の下主面と半導体基板との間にも延在するので、導電体が半導体基板と絶縁され、導電体の電位を決定する際に半導体基板の電位を考慮する必要がなく、導電体の電位設定が容易となる。

【0121】本発明に係る請求項3記載の半導体装置によれば、電荷蓄積電極に電荷が蓄積されて、リーク電流を防止する必要がある場合に、電荷蓄積電極に接続されたソース・ドレイン層の電位に基づいて導電体の電位を自動的に制御するので、トレンチ分離構造で分離された素子間におけるパンチスルーを防止して、電流リークの発生を自動的に低減できる。

【図面の簡単な説明】

【図1】 本発明に係る半導体装置の実施の形態1の構成を説明する断面図である。

【図2】 本発明に係る半導体装置の実施の形態1の構成を説明する平面図である。

【図3】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図4】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図5】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図6】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図7】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図8】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図9】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図10】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図11】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図12】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図13】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図14】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図15】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図16】 本発明に係る半導体装置の実施の形態1の製造工程を説明する図である。

【図17】 本発明に係る半導体装置の実施の形態1の変形例1の構成を説明する図である。

【図18】 本発明に係る半導体装置の実施の形態1の変形例1の構成を説明する図である。

【図19】 本発明に係る半導体装置の実施の形態1の変形例2の構成を説明する図である。

【図20】 本発明に係る半導体装置の実施の形態1の変形例3の構成を説明する図である。

【図21】 本発明に係る半導体装置の実施の形態1の変形例4の構成を説明する図である。

【図22】 本発明に係る半導体装置の実施の形態2の構成を説明する断面図である。

【図23】 本発明に係る半導体装置の実施の形態2の自動電位制御システムの構成を説明する図である。

【図24】 DRAMの一般的な構成を説明する図である。

【図25】 従来のトレンチ分離構造の構成を説明する図である。

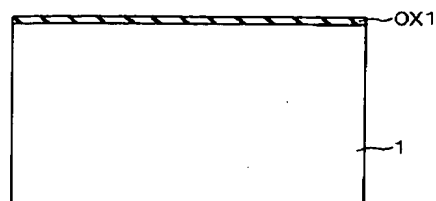
【図26】 従来のトレンチ分離構造の構成を説明する図である。

【図27】 従来のトレンチ分離構造の構成を説明する図である。

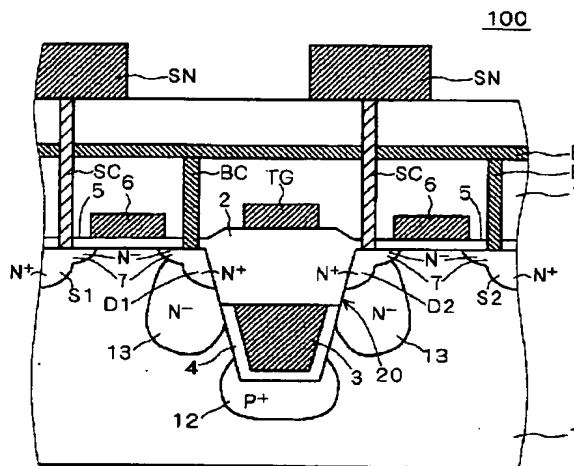
【符号の説明】

2 絶縁物、3 導電体、4 絶縁膜、15 TiN膜、16 コンタクト部、20 トレンチ分離構造、TR トレンチ。

【図3】

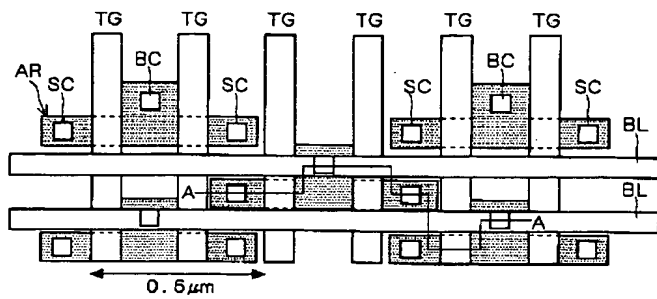


【図1】

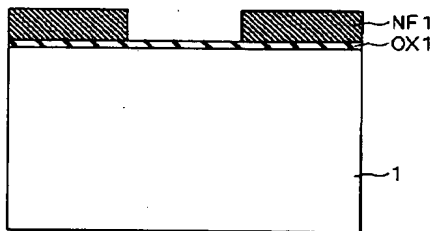


2 : 絶縁物
3 : 導電体
4 : 絶縁膜
20 : トレンチ分離構造

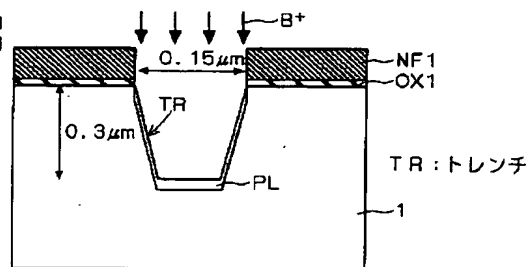
【図2】



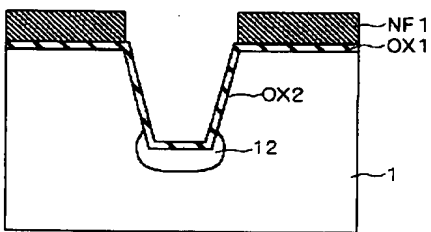
【図4】



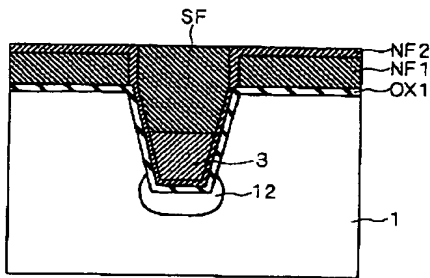
【図5】



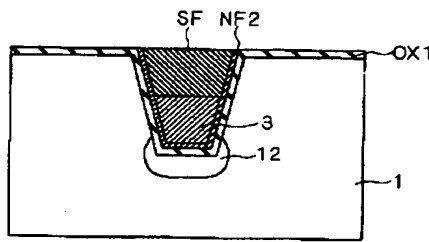
【図6】



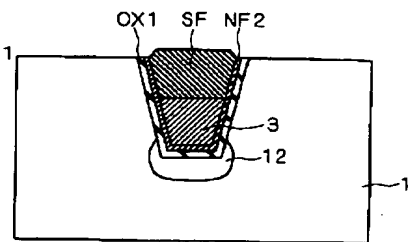
【図10】



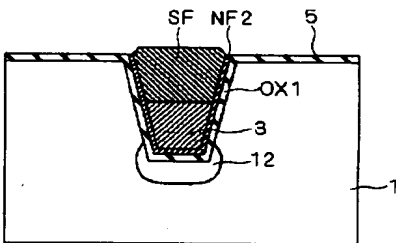
【図11】



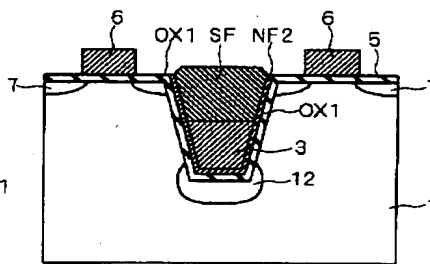
【図12】



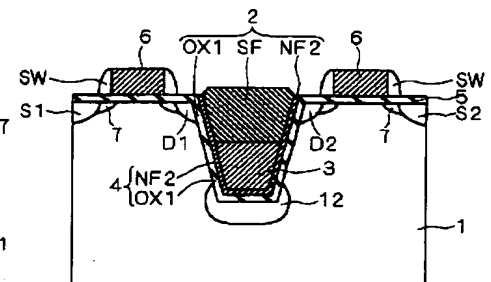
【図13】



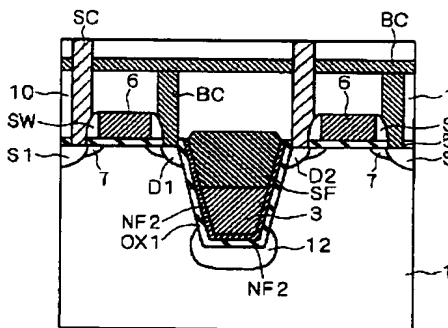
【図14】



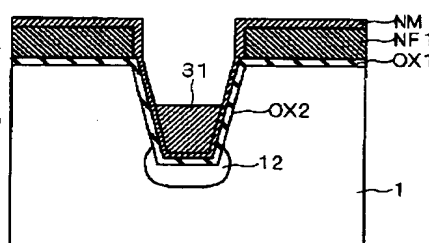
【図15】



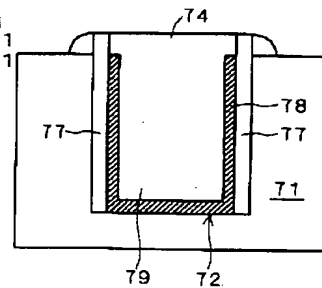
【図16】



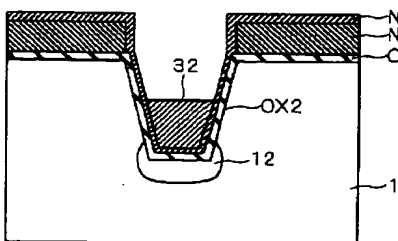
【図17】



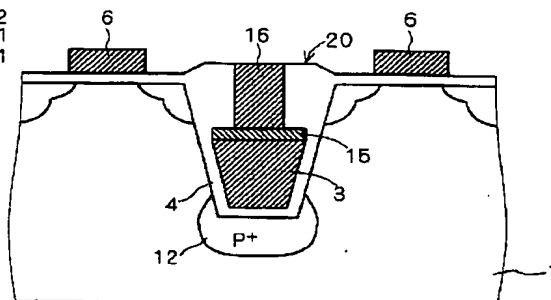
【図18】



【図19】



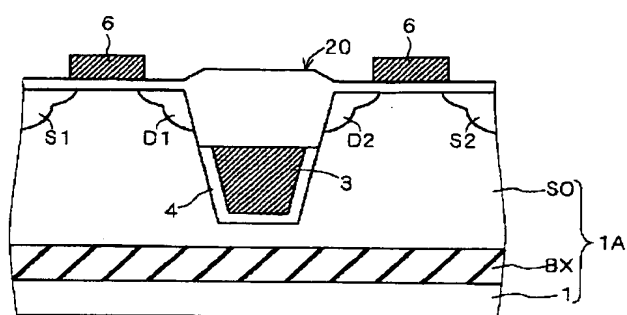
【図20】



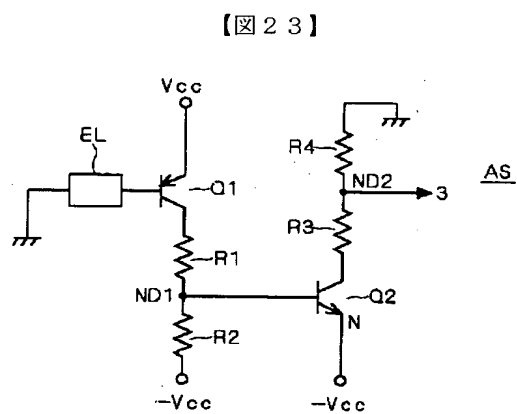
15: TiN膜

16: コンタクト部

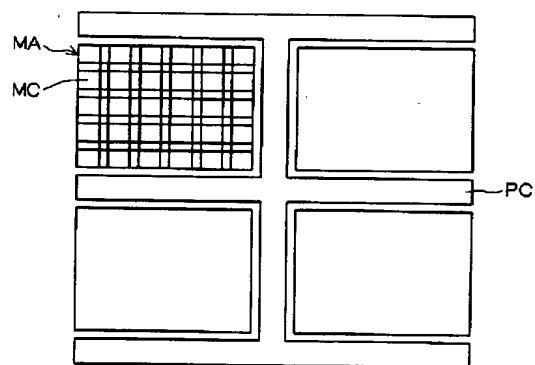
【図 2 1】



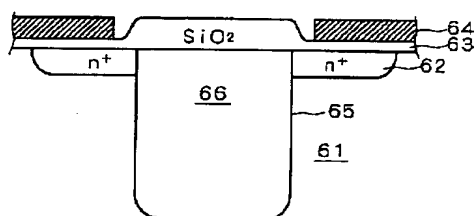
【图 22】



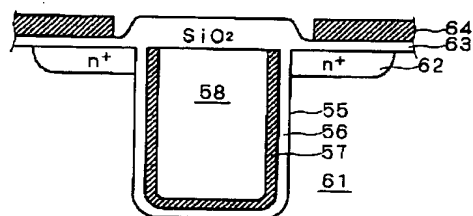
【图 24】



【図 25】



【図 26】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H O 1 L 21/8242

H O 1 L 27/10

6 7 1 C

6 8 1 D

6 8 1 C

F ターム(参考) 5F032 AA01 AA35 AA39 AA44 AA45
 AA48 AA54 AA70 AC01 CA14
 CA17 CA23 DA02 DA04 DA23
 DA25 DA33 DA44 DA53 DA60
 DA78

5F033 HH01 HH04 HH08 HH19 HH27
 HH28 JJ04 JJ08 JJ19 JJ27
 JJ28 KK04 KK08 KK19 KK27
 KK28 MM01 MM12 MM13 MM30
 PP06 QQ08 QQ09 QQ11 QQ16
 QQ58 QQ60 QQ64 QQ65 RR04
 RR08 RR11 RR15 SS11 SS13
 TT02 TT08 VV04 VV06 VV16
 XX28 XX33

5F048 AA04 AB01 AB08 AC01 AC10
 BA01 BA16 BB05 BB08 BC03
 BC05 BC06 BF01 BF02 BF03
 BF06 BF07 BG14 BG15 BH07
 DA27

5F083 AD02 AD10 AD24 AD42 AD48
 GA03 GA09 GA30 HA02 JA05
 JA32 JA35 JA36 JA37 JA39
 JA57 KA15 LA01 LA02 LA28
 LA30 MA06 MA17 MA20 NA01
 NA04 PR03 PR06 PR12 PR21
 PR36 PR40 ZA09